

4/9/1

DIALOG(R)File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

008907165 **Image available**

WPI Acc No: 1992-034434/199205

XRAM Acc No: C92-014982

XRPX Acc No: N92-026312

Matrix-addressed type display device - having electric charge
capacitor

provided in each pixel to improve display characteristics

Patent Assignee: MITSUBISHI DENKI KK (MITQ); MITSUBISHI ELECTRIC CORP
(MITQ)

Inventor: HAYAMA M; KAWAMOTO S; NAKAGAWA N; SAKAMOTO H

Number of Countries: 005 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 468711	A	19920129				199205 B
JP 4083232	A	19920317	JP 90200704	A	19900725	199244
EP 468711	A3	19920819	EP 91306602	A	19910719	199337
EP 468711	B1	19950913	EP 91306602	A	19910719	199541
DE 69112950	E	19951019	DE 612950	A	19910719	199547
			EP 91306602	A	19910719	
US 5508765	A	19960416	US 91728521	A	19910711	199621
			US 9346370	A	19930413	
			US 94258380	A	19940610	

Priority Applications (No Type Date): JP 90200704 A 19900725

Cited Patents: NoSR.Pub; 1.Jnl.Ref; EP 288011; JP 61029820

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 468711	A				
					Designated States (Regional): DE FR GB
EP 468711	B1	E	8	G02F-001/136	
					Designated States (Regional): DE FR GB
DE 69112950	E			G02F-001/136	Based on patent EP 468711
US 5508765	A		7	G02F-001/133	Cont of application US 91728521
					Cont of application US 9346370
JP 4083232	A			G02F-001/1343	

Abstract (Basic): EP 468711 A

A matrix-addressed type display device comprises a transparent dielectric substrate; gate electrode paths formed on the surface of the substrate spaced in parallel with each other; source electrode paths formed on the surface of the substrate spaced in parallel with each other and intersecting the gate electrode paths; a thin film transistor formed in a region addressed by the gate electrode paths and the source electrode paths; a transparent pixel electrode formed in the addressed region and connected to the thin film transistor; a transparent inner bottom electrode sandwiched between the transparent substrate and the

pixel electrode connected to an adjacent gate electrode path; a transparent dielectric film sandwiched between the transparent pixel

electrode and the transparent inner bottom electrode.

Pref. the transparent electrode is composed of ITO, and the transparent dielectric film is composed of SiNx. Pref. the inner bottom electrode is connected to the adjacent gate electrode path through

a contact hole formed in the transparent dielectric film.

USE/ADVANTAGE - Matrix addressed type display device with excellent display characteristics, which can prevent the deterioration

of the display in the ratio of the angular aperture, even --when the electric charge capacitance is increased and the pixel is reduced to

obtain a fine resolution. (8pp Dwg.No.2/5)

Abstract (Equivalent): EP 468711 B

An matrix-addressed type display device comprising: a transparent dielectric substrate (8); a drain electrode (6); a plurality of

gate electrode paths (1) formed on the surface of the transparent dielectric

substrate (8) spaced in parallel with each other, a gate dielectric film formed on said gate electrode path (1); a plurality of source electrode paths (2) formed on the surface of the transparent dielectric

substrate (8) spaced in parallel with each other and intersecting the gate electrode paths (1); a thin-film transistor (3) formed in a

region where the gate electrode paths (1) and the source electrode paths (2) intersect; a transparent pixel electrode (14) formed in the said

region and connected to the thin-film transistor (3); a transparent inner bottom electrode (17) sandwiched between the transparent dielectric substrate (8) and the transparent pixel electrode (14) and

connected to an adjacent gate electrode path (1); and a transparent dielectric film (18) sandwiched between the transparent pixel electrode (14) and

the transparent inner bottom electrode (17), characterized by said transparent dielectric film (18) having a first contact hole (19)

for connecting said transparent inner bottom electrode (17) to a bottom region of said gate electrode path (1); and in that said gate

electrode path (1) is formed on a same plane as said transparent pixel

electrode (14); and by said transparent pixel electrode (14) being connected to said drain electrode (6) through a second contact hole (25).

Abstract (Equivalent): US 5508765 A

A matrix-addressed type display device comprises: a transparent substrate; a drain electrode; a number of gate electrodes formed on

a surface of the transparent insulating substrate which are positioned in parallel with each other; a number of source electrodes formed on a surface of the transparent insulating substrate which are positioned in parallel with each other and crossing the gate electrodes; a thin-film transistor formed in a region where a gate electrode and a source electrode cross each other; a transparent pixel electrode formed in the region and connected to the thin-film transistor; a transparent inner bottom electrode positioned between the transparent insulating substrate and the transparent pixel electrode; a transparent dielectric film positioned between the transparent inner bottom electrode and the transparent pixel electrode, the transparent dielectric film having a first contact hole for connecting the transparent inner bottom electrode to a bottom region of the gate electrode; and a gate insulating film formed on the gate electrode paths; where the gate electrode is formed on a different plane than the transparent inner bottom electrode which is connected to the drain electrode through a second contact hole.

(Dwg. 2/5)

Title Terms: MATRIX; ADDRESS; TYPE; DISPLAY; DEVICE; ELECTRIC; CHARGE; CAPACITOR; PIXEL; IMPROVE; DISPLAY; CHARACTERISTIC

Derwent Class: L03; P81; U14

International Patent Class (Main): G02F-001/133; G02F-001/1343; G02F-001/136; G09F-009/30; H01L-027/12; H01L-029/784

File Segment: CPI; EPI; EngPI

Manual Codes (CPI/A-N): L03-G05A

Manual Codes (EPI/S-X): U14-H01A; U14-K01A2B

?

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-83232

⑤ Int.Cl.⁵

G 02 F 1/136
1/1343

識別記号

5 0 0

庁内整理番号

9018-2K
9018-2K
9056-4M

③ 公開 平成4年(1992)3月17日

H 01 L 29/78

3 1 1

※

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 マトリクス形表示装置

⑯ 特 願 平2-200704

⑰ 出 願 平2(1990)7月25日

⑱ 発 明 者 中 川 直 紀 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
材料研究所内

⑲ 発 明 者 川 元 暁 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
材料研究所内

⑳ 発 明 者 阪 本 弘 和 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
材料研究所内

㉑ 発 明 者 羽 山 昌 宏 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
材料研究所内

㉒ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉓ 代 理 人 弁理士 大岩 増雄 外2名

最終頁に続く

明 細 書

1. 発明の名称

マトリクス形表示装置

2. 特許請求の範囲

透明な絶縁基板と、この絶縁基板上に設けられた互いには、平行な複数のゲート電極線と、このゲート電極線に交差して上記絶縁基板上に設けられた互いには、平行な複数のソース電極線と、上記ゲート電極線およびソース電極線で区画された区画部分に設けられた薄膜トランジスタと、上記区画部分に設けられて上記薄膜トランジスタに接続された透明な画素電極とを有するものにおいて、上記絶縁基板と画素電極との間に透明な導電膜で下部電極を形成すると共に、上記画素電極と下部電極との間に透明な絶縁膜を形成して、上記下部電極を隣接する上記ゲート電極線に接続したことを特徴とするマトリクス形表示装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はマトリクス状に配列された画素を有

するマトリクス形表示装置に関するものである。

〔従来技術〕

マトリクス形表示装置は、通常、互いに対向する2枚の基板の間に液晶等の表示材料が挟持された構造になっている。上記基板の少なくとも一方には、マトリクス状に配列された透明な導電膜からなる画素電極を設け、これらの画素電極毎に選択的に電圧を印加するためにトランジスタ等のスイッチング素子を設けている。さらに、表示特性の向上のために画素毎に電荷保持容量を設けている。

従来、この種の装置としては第3図～第5図に示すものがあった。

第3図は従来のマトリクス形表示装置の薄膜トランジスタアレイ基板を示す等価回路図であり、図において、(1)、(2)はそれぞれ多数設けられたゲート電極線とソース電極線、(3)は薄膜トランジスタ、(4)、(5)、(6)はそれぞれそのゲート電極、ソース電極、ドレイン電極である。ゲート電極(4)、ソース電極(5)はそれぞれゲート電極線(1)、ソース電

極線(1)に接続されている。(7)は電荷保持容量であり、その電極の一方は薄膜トランジスタ(3)のドレイン電極(6)に接続されると共に、他方は隣接するゲート電極線(1)に接続されている。ここで、隣接するゲート線(1)とは、薄膜トランジスタ(3)のゲート電極(4)が接続されたものから一つ隣のゲート電極線(1)を意味するものとする。

第4図は第3図の薄膜トランジスタアレイ基板の構造を示す平面図、第5図は第4図のV-V線に沿った断面展開図である。(8)は透明なガラス等の絶縁基板であり、絶縁基板(8)上には、ゲート電極線(1)が金属で互いに平行に形成されると共に、後述のゲート絶縁膜を介してソース電極線(2)が互いに平行、かつ、ゲート電極線(1)と直交して形成されている。(9)はゲート電極線(1)とソース電極線(2)とで区画された長方形の区画部分であり、ゲート電極(4)が、第4図において上方のゲート電極線(1)から区画部分(9)へ延長することにより形成されている。(11)は絶縁基板(8)上に設けられた電荷保持容量電極で、隣接するゲート電極線(1)、即ち第

4図において下方のゲート電極線(1)から区画部分(9)へ延長することにより形成されている。(12)は絶縁基板(8)上に設けられた透明なゲート絶縁膜で、シリコン窒化膜(SiN_x)等によりゲート電極線(1)、ゲート電極(4)および電荷保持容量電極(11)を覆うように形成されている。ただし、第4図ではゲート絶縁膜(12)の図示を省略している。(13)はゲート電極(4)上にゲート絶縁膜(12)を介して形成された半導体膜であり、ゲート絶縁膜(12)上に金属でソース電極線(2)が形成されて、これから半導体膜(13)上へ延長することによりソース電極(5)が形成されている。また、ドレイン電極(6)がソース電極(5)と同隔をおいて半導体膜(13)上に金属で形成され、ゲート電極(4)、半導体膜(13)、これらの間に介在するゲート絶縁膜(12)、ソース電極(5)およびドレイン電極(6)で薄膜トランジスタ(3)を構成している。(14)はゲート絶縁膜(12)上に設けられた画素電極で、薄膜トランジスタ(3)が形成されている部分を除いて区画部分(9)のほぼ全面にITO(インジウム・ティン・オキサイド)等の透明導電膜

で形成され、その一部がドレイン電極(6)と重なり合うことにより両者がつながっている。電荷保持容量電極(11)、画素電極(14)のうち電荷保持容量電極(11)と重なり合う部分およびこれらの間に介在するゲート絶縁膜(12)で電荷保持容量(7)を構成している。(15)はこれらの上全面にわたってSiN_x等で形成された透明な保護膜である。なお、第4図では保護膜(15)の図示を省略している。

このような画素電極(14)や薄膜トランジスタ(3)などが、第4図において縦、横方向に多数並設されて薄膜トランジスタアレイ基板が構成されている。

以上のような薄膜トランジスタアレイ基板と、透明導電電極、カラーフィルタ基板等を有する対向基板(図示せず)とを互に対向させ、これら両基板の間に液晶等の表示材料(図示せず)を挟持してマトリクス形表示装置が構成されている。

以上のマトリクス形表示装置において、上記区画部分(9)が画素となり、各薄膜トランジスタ(3)で画素電極(14)に選択的に電圧を印加することによ

り絵や文字が表示される。また、このとき電荷保持容量(7)に保持される電荷により、表示特性が向上する。

(発明が解決しようとする課題)

従来のマトリクス形表示装置は以上のように構成されているので、電荷保持容量が形成されている部分は不透明となって表示部分として有効に作用せず、従って、電荷保持容量を大きくしたり、あるいは、画素ピッチが小さくなると画素の開口率が低下し、そのために表示特性が悪くなるなどの問題点があった。

この発明は上記のような問題点を解消するためになされたもので、電荷保持容量を大きくしたり、あるいは画素を高精細化する場合でも、画素の開口率が低下せず、従って、表示特性の良いマトリクス形表示装置を得ることを目的とする。

(課題を解決するための手段)

この発明に係るマトリクス形表示装置は絶縁基板と画素電極との間に透明な下部電極を形成し、この下部電極を隣接するゲート電極線に接続した

ものである。

〔作用〕

この発明におけるマトリクス形表示装置は、下部電極と画素電極とが電荷保持容量の二つの電極を構成し、双方共透明であるので電荷保持容量が形成された部分も表示に有効に作用する、つまり、画素の開口率が大きくなる。

〔実施例〕

以下、この発明の一実施例を図について説明する。第1図はこの発明の一実施例によるマトリクス形表示装置の薄膜トランジスタアレイ基板を示す平面図、第2図は第1図のII-II線に沿った断面展開図である。なお、等価回路は第3図と同様になっており、また、従来と同様に多数のゲート電極線(1)とソース電極(2)とで区画された区画部分(9)に薄膜トランジスタ(3)や画素電極(14)が設けられた構造になっている。これらの図において、(8)は透明な絶縁基板、(17)は絶縁基板(8)上に形成された透明な下部電極、(18)は絶縁基板(8)上に設けられた透明な電荷保持容量絶縁膜で、下部電極

(17)を覆うように形成されている。ただし、第1図では電荷保持容量絶縁膜(18)の図示を省略している(後述のゲート絶縁膜および第2の保護膜も同様)。(14)は電荷保持容量絶縁膜(18)上に透明導電膜で形成された画素電極であり、下部電極(17)、画素電極(14)のうち下部電極(17)と重なり合う部分およびこれらの間に介在する電荷保持絶縁膜(18)で電荷保持容量(7)を構成している。(1)は電荷保持容量絶縁膜(18)上に互いに平行に形成されたゲート電極線、(4)はゲート電極で、第1図において上方のゲート電極線(1)から区画部分(9)へ延長することにより形成されている。画素電極(14)は第1のコンタクトホース(19)を通して隣接するゲート電極線(1)、即ち、第1図において下方のゲート電極線(1)につながっている。(12)はこれらの上に形成された透明なゲート絶縁膜、(13)はゲート電極(4)上にゲート絶縁膜(12)を介して形成された半導体膜、(21)は半導体膜(13)上に形成された第1の保護膜、(22)は第1の保護膜(21)上に形成されたリンドープ半導体膜で、互いに間隔をおい

て2つに分割されており、それぞれの部分が第2および第3のコンタクトホール(23)、(24)を通して半導体膜(13)につながっている。(2)はこれらの上に互いに平行、かつ、ゲート電極線(1)とは直交して形成されたソース電極線、(5)、(6)はリンドープ半導体膜(22)のそれぞれの部分の上に形成されたソース電極とドレイン電極で、ソース電極(5)はソース電極線(2)から延長して形成されており、また、ドレイン電極(6)は第4のコンタクトホール(25)を通して画素電極(14)とつながっている。ゲート電極(4)、ゲート絶縁膜(12)、半導体膜(13)、第1の保護膜(21)、リンドープ半導体膜(22)、ソース電極(5)およびドレイン電極(6)により薄膜トランジスタ(3)が構成され、薄膜トランジスタ(3)が形成された部分を除いて区画部分(9)のほぼ全面に画素電極(14)が形成されている。(26)はこれらの上に形成された透明な第2の保護膜である。

次に製造方法について説明する。ガラス等の絶縁基板(8)上に、まずITO等の透明導電膜を堆積し、これにパターニングを行なってアイランド状

の下部電極(17)を形成する。次に SiN_x 等で電荷保持容量絶縁膜(18)を形成する。その上にITO等の透明導電膜を堆積し、アイランド状にパターニングを行なって画素電極(14)を形成する。そして、電荷保持容量絶縁膜(18)に第1のコンタクトホース(19)を形成した後、クロム(Cr)等の金属を堆積し、これにパターニングを行なってゲート電極線(1)とゲート電極(4)を形成する。このとき、下部電極(17)と隣接するゲート電極線(1)、即ち第1図において下方のゲート電極線(1)とが第1のコンタクトホール(19)を通して互いに電気的につながるようにする。続いて、 SiN_x 、水素化アモルファスシリコン(a-Si:H)および SiN_x を順次CVD法等により連続して堆積し、各々によりゲート絶縁膜(12)、半導体膜(13)および第1の保護膜(21)を形成する。ついで、第1の保護膜(21)にパターニングを行なって第2、第3のコンタクトホース(23)、(24)を形成した後、リン等をドーパした水素化アモルファスシリコン膜(n^+ -a-Si:H)を堆積してリンドープ半導体膜(22)を形成する。そして、リンドープ

半導体膜(22)、半導体膜(13)およびゲート絶縁膜(12)を貫通する第4のコンタクトホール(25)を形成した後、アルミニウム(Al)等の金属を堆積してパターニングを行ない、ソース電極線(2)、ソース電極(5)およびドレイン電極(6)を形成する。これら全体の上に SiN_x 等をCVD法で堆積して第2の保護膜を形成する。

以上のような薄膜トランジスタアレイ基板と、これに対向させた対向基板(図示せず)と、これら両基板間に挟持された表示材料(図示せず)とでマトリクス形表示装置が構成される。

このようなマトリクス形表示装置においては、電荷保持容量(7)の下部電極(11)が透明であるので、動作時にその部分で表示が妨げられることがなく、電荷保持容量(7)形成部分も含めて画素電極(14)全体が表示に有効に作用する。

なお、この実施例では電荷保持容量絶縁膜(18)とゲート絶縁膜(12)とを互いには別々に形成しているもので、これらを同じ膜で兼用した従来例の場合のような材料、膜質、膜厚の制約がなく、例え

ば、ゲート絶縁膜(12)を薄くして薄膜トランジスタ(3)の特性を良くする一方、電荷保持容量絶縁膜(18)を電気的に強くして短絡を防止することにより装置全体の性能を向上させることができる。

〔発明の効果〕

以上のように、この発明によれば絶縁基板と画素電極の間に透明な下部電極を形成するように構成したので、電荷保持容量の二つの電極が共に透明となって、電荷保持容量が形成された部分も表示に有効に作用し、従って、電荷保持容量を大きくしたような場合でも開口率を大きくでき、表示特性が向上する。

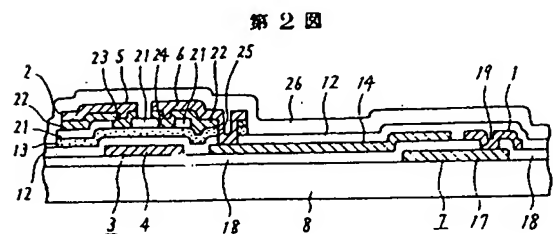
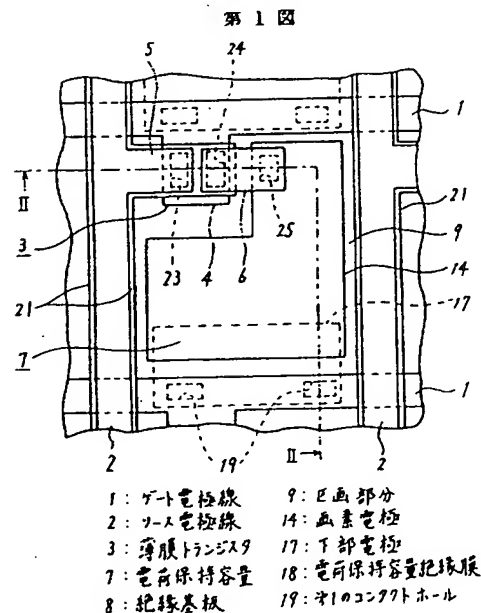
4. 図面の簡単な説明

第1図はこの発明の一実施例によるマトリクス形表示装置の薄膜トランジスタアレイ基板を示す平面図、第2図は第1図のII-II線に沿った断面展開図、第3図、第4図は従来のマトリクス形表示装置の薄膜トランジスタアレイ基板を示す等価回路図と平面図、第5図は第4図のV-V線に沿った断面展開図である。

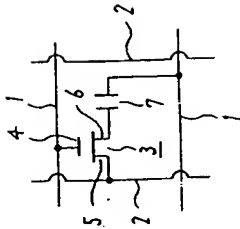
図において、(1)はゲート電極線、(2)はソース電極線、(3)は薄膜トランジスタ、(7)は電荷保持容量、(8)は絶縁基板、(9)は区画部分、(14)は画素電極、(17)は下部電極、(18)は電荷保持容量絶縁膜、(19)は第1のコンタクトホールである。

なお、各図中同一符号は同一または相当部分を示す。

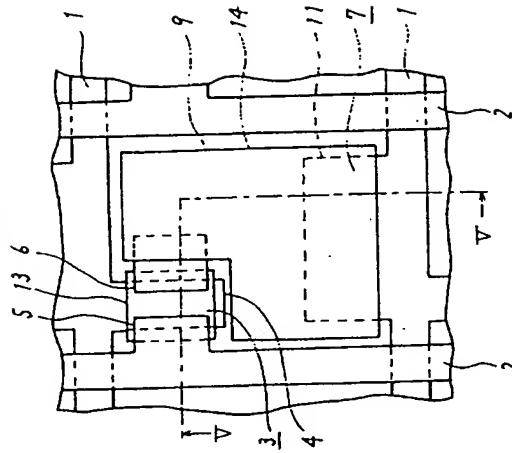
代理人 大 岩 増 雄



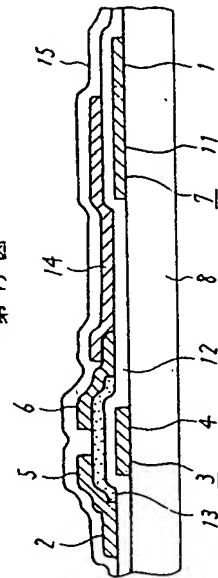
第3図



第4図



第5図



第1頁の続き

⑤Int. Cl.⁵

G 09 F 9/30
H 01 L 27/12
29/784

識別記号

3 3 8

A

庁内整理番号

8621-5G
7514-4M